



43
614
XA-9625

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the application of:

Yasutoshi AIBARA et al.

Appln. No.: 10/080,586

Group Art Unit: 2811

Filed: February 25, 2002

For: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND IMAGING
SYSTEM

* * *

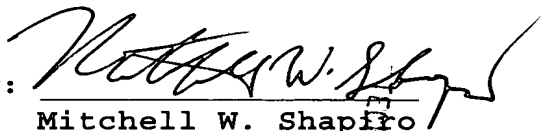
CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner for Patents
Washington, D.C. 20231

Sir:

Applicants hereby claim the priority of Japanese
Patent Application No. 2001-098750 filed March 30, 2001,
and submit herewith a certified copy of said application.

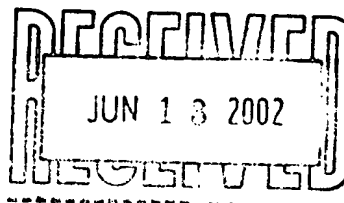
Respectfully submitted,

By: 
Mitchell W. Shapiro
Reg. No. 31,568

MWS:sjk

Miles & Stockbridge P.C.
1751 Pinnacle Drive
Suite 500
McLean, VA 22102-3833
Tel: (703) 610-8652

April 26, 2002



RECEIVED
APR 30 2002
TECHNOLOGY CENTER 2800



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月30日

出 願 番 号

Application Number:

特願2001-098750

[ST.10/C]:

[JP2001-098750]

出 願 人

Applicant(s):

株式会社日立製作所
日立東部セミコンダクタ株式会社
株式会社日立超エル・エス・アイ・システム

TECHNOLOGY CENTER 2800

APR 30 2002

RECEIVED

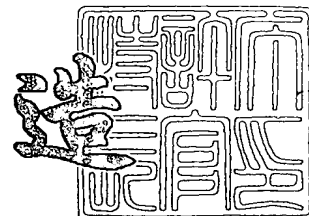
2002年 3月19日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及

川

耕



出証番号 出証特2002-3018653



【書類名】 特許願

【整理番号】 H01001321

【あて先】 特許庁長官殿

【国際特許分類】 G06F 3/05
H04N 5/00

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 相原 康敏

【発明者】

【住所又は居所】 群馬県高崎市西横手町 1 番地 1 日立東部セミコンダク
タ株式会社内

【氏名】 中島 広樹

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社 日
立超エル・エス・アイ・システムズ内

【氏名】 今泉 栄亀

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 松浦 達治

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【特許出願人】

【識別番号】 000233527

【氏名又は名称】 日立東部セミコンダクタ株式会社

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社 日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100085811

【弁理士】

【氏名又は名称】 大日方 富雄

【電話番号】 03-3269-1430

【手数料の表示】

【予納台帳番号】 027177

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体集積回路および撮像システム

【特許請求の範囲】

【請求項 1】 撮像素子から出力されるアナログカラー映像信号を増幅する増幅回路と、増幅された信号をディジタル信号に変換する A/D 変換回路と、A/D 変換後の同一色に関わる隣接する画素のコード同士の差分をとる差分化手段と、該差分化手段の出力をコード変換するコード変換手段とを備えたことを特徴とする半導体集積回路。

【請求項 2】 上記コード変換手段は、入力バイナリコードをグレイコードに変換するバイナリーグレイコード変換回路であることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】 上記コード変換手段は、入力コードに固定値を加算もしくは減算する回路からなることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 4】 上記差分化手段は、上記 A/D 変換回路の出力コードを遅延させる遅延回路と、該遅延回路で遅延されたコードと入力コードとの差分をとる減算手段とにより構成され、上記遅延回路は入力映像信号の色配列に応じて遅延時間が可変に構成されていることを特徴とする請求項 1～3 のいずれかに記載の半導体集積回路。

【請求項 5】 色フィルタを備えた撮像素子と、

前記撮像素子から出力されるアナログカラー映像信号を増幅する増幅回路と、増幅された信号をディジタル信号に変換する A/D 変換回路と、A/D 変換後の同一色に関わる隣接する画素のコード同士の差分をとる差分化手段と、該差分化手段の出力をコード変換する第 1 コード変換手段とを備えた半導体集積回路と、

前記半導体集積回路から出力されるコードを変換する第 2 コード変換手段および画像処理回路を備え画像処理用半導体集積回路と、
を有することを特徴とする撮像システム。

【請求項 6】 上記第 1 コード変換手段はバイナリコードをグレイコードに変換するバイナリーグレイコード変換回路であり、上記第 2 コード変換手段はグレイコードをバイナリコードに変換するグレイーバイナリコード変換回路である



ことを特徴とする請求項 5 に記載の撮像システム。

【請求項 7】 上記第 1 コード変換手段は、入力コードに固定値を加算もしくは減算する回路からなり、上記第 2 コード変換手段は入力コードから固定値を減算もしくは加算する回路からなることを特徴とする請求項 5 に記載の撮像システム。

【請求項 8】 上記差分化手段は、上記 A/D 変換回路の出力コードを遅延させる遅延回路と、該遅延回路で遅延されたコードと入力コードとの差分をとる減算手段とにより構成され、上記遅延回路は入力映像信号の色配列に応じて遅延時間が可変に構成されていることを特徴とする請求項 5 ～ 7 のいずれかに記載の撮像システム。

【請求項 9】 デジタル画像データを記憶する記憶手段を備え、上記画像処理用半導体集積回路は、上記第 2 コード変換手段により変換された後のコードを圧縮するデータ圧縮回路および圧縮データを伸長するデータ伸長回路を備え、上記データ圧縮回路により圧縮されたデータが上記記憶手段に記憶されるように構成されていることを特徴とする請求項 5 ～ 8 のいずれかに記載の撮像システム。

【請求項 10】 撮像素子から出力されるアナログカラー映像信号をデジタル信号に変換する信号変換方法であって、映像信号を A/D 変換回路により A/D 変換した後、変換後の同一色に関わる隣接する画素のコード同士の差分をとり、該差分化出力コードを前後のコード間で切り替わるビット数の少ないコードに変換するようにしたことを特徴とする信号変換方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CCD（チャージ・カップルド・デバイス）のような撮像素子を用いた撮像システムにおけるノイズ低減技術さらにはデジタル画像データの伝達によって生じるノイズをコード変換方式を用いて低減する技術に関し、例えば電子スチールカメラ（いわゆるデジタルカメラ）やビデオカメラなどに利用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

図 1 0 に示すように、CCD 1 0 から出力されたアナログ映像信号を A D 変換用 L S I （大規模半導体集積回路）2 0 でデジタル信号に変換して D S P （デジタル・シグナル・プロセッサ）3 0 で画像処理を行ない、ディスプレイ 8 0 に表示させるようにした電子スチールカメラやビデオカメラのような撮像システムがある。ここで、CCD 1 0 や D S P 3 0 も A D 変換用 L S I 2 0 と同様にそれぞれ半導体集積回路化され、これらの半導体集積回路がプリント配線基板 1 0 0 上に実装されて撮像システムが構成される。

【 0 0 0 3 】

【発明が解決しようとする課題】

本発明者らは、かかる撮像システムにおいて表示画面に現われるノイズの原因について詳細な検討を行なった。その結果、A D 変換された画像データを D S P 3 0 へ伝達すべく A D 変換用 L S I 2 0 が画像データを出力する際に発生した電源ノイズが、プリント配線基板上の電源ライン（V c c ラインおよびグランドライン）を介して C C D 側に回り込んで A D 変換用 L S I へ入力する映像信号にのったり、A D 変換用 L S I 内部で電源ラインや半導体基板を通して出力回路側から入力端子側へ回り込むことが主な原因であることを見出した。

【 0 0 0 4 】

もともと L S I の出力回路は外部のプリント配線等チップ内部に比べて大きな負荷を駆動する必要があるため、出力用素子も A D 変換回路などの内部回路を構成する素子に比べて大きなサイズ（1 0 倍以上）のものが使用され、比較的多くの電流が流れるように設計されるのが一般的であり、出力信号の切り替わりの際に大きな貫通電流が流れて電源にノイズがのると考えられる。また、出力回路で発生したノイズは基板を通して入力回路以外の内部回路にも伝播するが、A D 変換用 L S I では入力アナログ信号を増幅する P G A （プログラマブル・ゲイン・アンプ）のような増幅回路を有するため、入力側に伝播したノイズも映像信号と共に増幅されてしまい表示画質の低下につながる事となる。

【 0 0 0 5 】



そこで、出力回路の動作に伴うノイズを減らすため、A D 変換用 L S I の電源端子に比較的大きなパスコンデンサを接続することでノイズ対策を行なってみた。しかしながら、大きなパスコンデンサを設けることはチップサイズを大きくしたり、システムの実装効率を低下させる要因となるとともに、パスコンデンサのみでは十分にノイズを除去することができないことが分かった。

【 0 0 0 6 】

従って、ノイズを低減するには A D 変換用 L S I 2 0 から出力されるデジタル画像データの切替えに伴う出力回路での貫通電流を減らすことが有効であるとの結論に達した。ところで、出力回路での貫通電流を減らすには電源電圧を下げたり、出力回路の駆動力を下げることも一つの対策であるが、そのようにすると信号の伝達速度が低下してシステムの性能が要求を満たすことができなくなってしまうことがある。

【 0 0 0 7 】

この発明は、出力が切り替わる時に出力回路に流れる貫通電流を減らして発生するノイズを少なくできる半導体集積回路を提供することを目的とする。

【 0 0 0 8 】

この発明の他の目的は、信号の伝達速度を低下させることなく、C C D のような固体撮像素子から出力されるアナログ映像信号をデジタル画像データに変換しそれを出力する出力回路で発生するノイズを低減して、画質を向上させることが可能な撮像システムを提供することにある。

【 0 0 0 9 】

この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 0 】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【 0 0 1 1 】

すなわち、A D 変換されたデジタル画像データを出力する前に差分符号化し

、それをグレイコードに変換もしくはある固定値を加算するような所定のコード変換を行ってから出力するようにした。より具体的には、撮像素子から出力されるアナログカラー映像信号をA/D変換回路によりA/D変換した後、変換後の同一色に関わる隣接する画素のコード同士の差分をとり、該差分出力コードを前後のコード間で切り替わりビット数の少ないコードに変換するようにしたものである。かかるコード変換を行なうことで、出力されるデジタル信号が切り換わる際に変化するビットの数が少なくなり、それによって出力回路での貫通電流が減少し、出力の変化に伴うノイズを低減することができるようになる。

【 0 0 1 2 】

また、本発明は、撮像素子から出力されるアナログカラー映像信号を増幅する増幅回路と、増幅された信号をデジタル信号に変換するA/D変換回路と、A/D変換後の同一色に関わる隣接する画素のコード同士の差分をとる差分化手段と、該差分化手段の出力をコード変換するコード変換手段とを設けるようにしたものである。これにより、該半導体集積回路から出力されるデジタル信号が切り換わる際に変化するビットの数が少なくなり、それによって出力回路での貫通電流が減少するようになる。

【 0 0 1 3 】

上記コード変換手段としては、入力バイナリコードをグレイコードに変化するバイナリーグレイコード変換回路を用いるのが望ましい。これにより、出力されるデジタル信号が切り換わる際に変化するビットの数が確実に少なくなる。

【 0 0 1 4 】

また、上記コード変換手段として、入力コードに固定値を加算もしくは減算する回路を用いるようにしても良い。これにより、出力されるデジタル信号が切り換わる際に変化するビットの数をかなり少なくすることができる。この理由は、次の原理による。すなわち、デジタル画像データの差分化された成分は0、+1、-1など0の近傍のデータに集中する。そのため、バイナリコードではオール“0”であるのに対し、-1はオール“1”であるから差分データが0から-1にまたはその逆に変化すると全ビットが変化し、雑音を発生させてしまう。そこで、入力コードに固定値を加算もしくは減算することにより、オール“0”



からオール“1”またはその逆の変化を発生しないようにするものである。

【0015】

さらに、上記差分化手段は、上記AD変換回路の出力コードを遅延させる遅延回路と、該遅延回路で遅延されたコードと入力コードとの差分をとる減算手段とにより構成し、上記遅延回路は入力映像信号の色配列に応じて遅延時間が可変に構成する。これにより、使用するフィルタの色配列が異なっているとしても、遅延回路の遅延時間を変更することで容易に対応することができる。

【0016】

また、本発明に係る撮像システムは、色フィルタを備えた撮像素子と、前記撮像素子から出力されるアナログカラー映像信号を増幅する増幅回路と、増幅された信号をデジタル信号に変換するAD変換回路と、AD変換後の同一色に関わる隣接する画素のコード同士の差分をとる差分化手段と、該差分化手段の出力をコード変換する第1コード変換手段とを備えた半導体集積回路と、前記半導体集積回路から出力されるコードを変換する第2コード変換手段および画像処理回路を備え画像処理用半導体集積回路とにより構成するようにしたものである。

【0017】

上記した手段によれば、AD変換回路を備えた半導体集積回路の出力回路での貫通電流が減少し、出力の変化に伴うノイズを抑制することができ、その結果、表示画質を向上させることができる。

【0018】

上記第1コード変換手段はバイナリコードをグレイコードに変換するバイナリ-グレイコード変換回路を使用し、上記第2コード変換手段はグレイコードをバイナリコードに変換するグレイ-バイナリコード変換回路を使用するのが望ましい。これにより、出力されるデジタル信号が切り換わる際に変化するビットの数が確実に少なくなり、表示画質を向上させることができる。

【0019】

また、上記コード変換手段として、入力コードに固定値を加算もしくは減算する回路を用いるようにしても良い。これにより、出力されるデジタル信号が切り換わる際に変化するビットの数をかなり少なくすることができ、表示画質を向



上させることができる。

【0020】

さらに、上記差分化手段は、上記AD変換回路の出力コードを遅延させる遅延回路と、該遅延回路で遅延されたコードと入力コードとの差分をとる減算手段とにより構成し、上記遅延回路は入力映像信号の色配列に応じて遅延時間が可変に構成する。これにより、使用するフィルタの色配列が異なっても、遅延回路の遅延時間を変更することで容易に対応することができる。

【0021】

また、デジタル画像データを記憶する記憶手段を設けるとともに、上記画像処理用半導体集積回路には、上記第2コード変換手段により変換された後のコードを圧縮するデータ圧縮回路および圧縮データを伸長するデータ伸長回路を設け、上記データ圧縮回路により圧縮されたデータが上記記憶手段に記憶されるように構成する。これにより、画像データの互換性を保持しつつ少ない記憶容量の記憶手段により多くの画像データを保存することができるようになる。

【0022】

【発明の実施の形態】

以下、本発明の好適な実施例を図面に基づいて説明する。

【0023】

図1には、本発明を適用した撮像システムに用いられるAD変換用LSIの概略構成例を示す。

【0024】

図1に示されているように、この実施例のAD変換用LSI20は、CCD10から出力され入力端子INに入力されたアナログ映像信号をサンプリングする相関二重サンプリング回路(CDS)21と、サンプリングされた信号を増幅する利得可変なプログラマブルゲインアンプ(PGA)22と、増幅されたアナログ信号をデジタル信号に変換するAD変換回路(ADC)23と、AD変換されたデジタル画像データを差分符号化しさらにそれをグレイコードに変換する符号化&コード変換回路24と、コード変換された信号を出力端子OUTよりチップ外部へ出力する出力バッファ25とから構成されている。

【 0 0 2 5 】

AD変換用LSI20を構成する各回路ブロック21～25のうち符号化&コード変換回路24を除く他の回路は、従来のAD変換用LSI20においても設けられていたものである。つまり、AD変換回路23と出力バッファ25との間に符号化&コード変換回路24を設けたことが本実施例の新規な点である。

【 0 0 2 6 】

なお、この実施例のAD変換用LSI20に設けられる回路は、図1に示されているものがすべてではない。図1には示されていないが、このLSIチップ内には上記アンプ(PGA)22のゲインを制御する信号などを生成したりチップ全体の動作を制御したりする制御回路や、CDS21へサンプリングタイミングを与えるクロック信号やAD変換回路23および符号化&コード変換回路24の動作にそれぞれ必要なクロック信号を生成するクロック生成回路もしくは外部から供給されるクロック信号をチップ内部の回路に分配するクロックバッファなどが設けられる。

【 0 0 2 7 】

また、この実施例では、上記符号化&コード変換回路24を設けることにより後述のように出力バッファ25における貫通電流を減らしノイズを低減できるようにされているが、さらにノイズを低減するためには、チップの電源端子にパスコンデンサを接続するのが望ましい。ただし、本発明を適用することによりパスコンデンサとして容量値の小さなものを使用することができるので実装面積を小さくすることができる。

【 0 0 2 8 】

図2には、上記符号化&コード変換回路24の概略構成が示されている。図2に示されているように、符号化&コード変換回路24はAD変換回路23から出力されたデータを所定のクロック周期だけ遅延させる遅延回路41と、AD変換回路23から出力されたデータと遅延回路41で遅延されたデータとの差分をとる差分符号化回路42と、差分符号化されたバイナリデータをグレイコードに変換するコード変換回路43とから構成される。

【 0 0 2 9 】



差分符号化回路 4 2 は、差分をとった際に発生したキャリービットを切り捨てるように構成されているキャリービットを切り捨てることで、差分をとる前のデータのビット数と差分をとった後のデータのビット数が同一となり、データの取り扱いが容易になる。表 1 に、2 ビットの場合を例にとって、データ（被減算値 a ）とデータ（減算値 b ）の差分をとってキャリーを切り捨てた場合の演算結果 $c (= a - b)$ と、該演算結果 c と減算値 b とから加算により被減算値 a を算出した結果 $d (= c + b)$ を示す。なお、本実施例においては、後述の差分復号化の際に行なわれる加算においても、発生したキャリービットは切り捨てられる。これにより、差分をとる前のデータのビット数と差分をとった後のデータのビット数が同一となる。

【 0 0 3 0 】

【表 1】

被減算値 (a)	減算値 (b)	c (= a - b) [キャリー切捨て]	d (= c + b) [キャリー切捨て]
00	00	00	00
00	01	11	00
00	10	10	00
00	11	01	00
01	00	01	01
01	01	00	01
01	10	11	01
01	11	10	01
10	00	10	10
10	01	01	10
10	10	00	10
10	11	11	10
11	00	11	11
11	01	10	11
11	10	01	11
11	11	00	11

【 0 0 3 1 】

表 1 においては、第 1 列目のコード (a) と第 4 列目のコード (d) とは一致している。このことより、差分符号化の際および差分復号化の際にそれぞれキャリーの切捨てを行なっても元のコードを正確に復元できることが分かる。なお、表 1 には 2 ビットのコードの例を示したが 3 ビット以上のコードにおいても同様

にキャリーを切り捨てても再現性がある。

【 0 0 3 2 】

コード変換回路 4 3 は、例えば図 3 に示すように変換するコードのビット数よりも 1 つ少ない数のイクスクルーシブ OR ゲート $G_1 \sim G_7$ で構成され、最上位ビットを除き隣接するビット同士 D_i, D_{i+1} ($i = 0 \sim 6$) の排他的論理和をとったものが変換後のビット D_i' として出力される。変換前の最上位のビット D_7 はそのまま変換後の最上位ビット D_7' として出力される。図 3 は、一例として 8 ビットのバイナリコードをグレイコードに変換する場合の回路例であり、同様の仕組みにより 10 ビットや 12 ビットなど任意のビット数のコード変換回路を構成することができる。

【 0 0 3 3 】

次に、上記差分符号化回路 4 2 による差分符号化処理とコード変換回路 4 3 によるバイナリグレイコード変換の具体的な手順を、図 5 を参照しながら説明する。なお、ここで説明する手順は、3 原色である R (赤), G (緑), B (青) が図 4 (A) に示すように配置されている色フィルタを有し、図 4 (A) に矢印①～④で示すように各ラインを上から順に横方向にスキャンするように構成された CCD から出力された映像信号が入力される場合である。この場合、図 2 の遅延回路 4 1 における遅延量は 2 クロック周期すなわち CDS 2 1 における入力信号のサンプリングクロックの 2 周期分の遅延とされる。

【 0 0 3 4 】

図 5 の (A) 欄に示されているように、 $R \rightarrow G \rightarrow R \rightarrow G \rightarrow R \rightarrow G \rightarrow R \rightarrow G$ のように R (赤) の信号と G (緑) の信号が交互に入力される場合を考える。このとき各信号を AD 変換した値が 10 進数で図 5 の (B) 欄のように変化したとする。これを実際に出力されるバイナリコードで現わすと、図 5 (C) 欄のようになる。符号化 & コード変換回路 2 4 を有しない従来の AD 変換用 LSI からはこのコードがそのまま出力されていた。図 5 (C) 欄のコードの隣接するもの同士を比較すると明らかなように、各コードが次のコードに変化する時の切り替わりビット数は、図 5 の (D) 欄のようになる。

【 0 0 3 5 】



本実施例のコード変換回路 24 に図 5 (C) に示すようなバイナリコードが入力されたときに差分符号化回路 42 から出力される値を、10 進数で示すと図 5 (E) のように、またバイナリコードで示すと図 5 (F) のようになる。ここで、差分は隣接する画素の同一の色同士、つまり図 5 の (B) 欄で矢印で示すように一つおきの値同士の差分である。そして、図 5 (F) の差分バイナリコードをグレイコードに変換すると図 5 (G) のようになる。

【 0 0 3 6 】

図 5 (G) 欄のコードの隣接するもの同士を比較すると明らかなように、各コードが次のコードに変化するときの切り替わりビット数は、図 5 の (H) のようになる。図 5 の (D) 欄と (H) 欄とを比較すると、従来方式に比べて本実施例の方が、切り替わりビット数が大幅に減少することが分かる。

【 0 0 3 7 】

なお、映像信号においては隣接する画素間での急激な変化は少ないので、AD 変換後のコードを直ちにグレイコードに変換しても同一色同士ではビット変化量は少ない。本実施例において AD 変換後のコードを直ちにグレイコードに変換せずに差分をとっているのは、映像信号においては隣接する画素同士では変化が少なくても、図 4 のような色要素配列のフィルタを通した CCD の出力におけるひとつの画素の異色間のコード差は比較的大きいことが多いためである（例外として撮影対象が色彩の変化に乏しい灰色の場合には、異色間のコード差も小さくなる）。

【 0 0 3 8 】

本実施例のように差分をとってグレイコードに変換すれば、色が異なっても差分同士にはそれほど大きな差異がないので、例えば R (赤) 成分の画像データの出力から G (緑) 成分の画像データの出力へ切り替わる際に変化するビットの数も少なくなる。

【 0 0 3 9 】

ただし、単に差分をとるようにしたのは、1 つの画面では差分が正になる場合と負になる場合がほぼ同一の割合で発生すると予想されるが、2 の補数で表わされるバイナリコードでは正から負に変わるときはオール “0” からオール “1



”へ、また負から正へ変わるときはオール“1”からオール“0”にコードが大きく変化してしまう。そこで、この実施例では、バイナリコードをグレイコードに変換することにより、正から負あるいは負から正へ変わるときにコードが大きく変化しないようにしている。

【0040】

表2に、2の補数で表わされるバイナリコードとグレイコードとの関係を、コードが3ビットの場合を例にとって示す。

【0041】

【表2】

10進数	バイナリ (2の補数)	グレイ コード	オフセット バイナリ(+5)
7	111	100	100
6	110	101	011
5	101	111	010
4	100	110	001
3	011	010	000
2	010	011	111
1	001	001	110
0	000	000	101
-1(7)	111	100	100
-2(6)	110	101	011
-3(5)	101	111	010
-4(4)	100	110	001
-5(3)	011	010	000
-6(2)	010	011	111
-7(1)	001	001	110

【0042】

表2から分かるように、3ビットのバイナリコードでは10進数の「0」から「-1」に変化するとき「000」から「111」に変化する。4ビットや8ビット、あるいはそれ以上のビット数のコードでも同様にオール「0」からオール「1」に変化する。この場合、切り替わるビットは全ビット（3個）である。一方、グレイコードでは、例えば3ビットの場合には10進数の「0」から「-1」に変化するとき「000」から「100」に変化するので、この場合、切り替わるビットはたった1ビットである。従って、出力バッファで出力が切り替



わる際に流れる貫通電流もバイナリコードを出力する場合よりもグレイコードを出力する場合の方が大幅に少なくなる。

【 0 0 4 3 】

図 6 には、一例として人間の手のひらを CCD で撮影した場合における従来方式による AD 変換後のコードの切り替わりビット数を調べた結果 (A) と、本実施例を適用して差分符号化後にグレイコード変換した場合における切り替わりビット数を調べた結果 (B) をグラフで示す。

【 0 0 4 4 】

同図より、従来方式 (A) ではコードの切り替わりビット数は最大「8」個で最も出現頻度が高いビット数は「4」個であるのに対して、本実施例を適用した場合には切り替わりビット数は最大「6」個で最も出現頻度が高いビット数は「2」個であり、本実施例の方が従来方式に比べて切り替わりビット数が少ないことが分かる。そして、このように切り替わりビット数が少なければそのようなコードを出力するときに出力バッファに流れる貫通電流を減らすことができ、電源ノイズや基板を通して伝わるノイズも減らすことができる。

【 0 0 4 5 】

なお、図 2 に示されている差分符号化およびグレイコード変換方式は、図 4 (B) のように Cy (シアン), Ye (イエロー), Mg (マゼンタ), G (グリーン) の 4 色が配列されてなる補色フィルタを用いる場合や 3 原色 R (赤), G (緑), B (青) が横一列に配列されてなるフィルタを用いる場合にも適用することができる。このうち補色フィルタを用いる場合でも、同一行に 2 種類の色要素が交互に配列されているフィルタであれば、遅延回路 4 1 における遅延量は前記実施例と同様に 2 クロック周期とすればよい。

【 0 0 4 6 】

一方、図示しないが 3 原色フィルタでも 3 つの色要素が順に繰返し横一列に配列されてなる 3 原色フィルタを用いる場合には遅延回路 4 1 における遅延量は 3 クロック周期とすれば良い。このように使用するフィルタに応じて遅延回路 4 1 における遅延量は異なるので、図 2 の実施例における遅延回路 4 1 を可変遅延回路で構成するとともに、この可変遅延回路に対応して遅延量 (遅延クロック周期

○

）を指定するためのレジスタを設けて、このレジスタの設定値を書き換えることで遅延回路 4 1 における遅延量を変更できるように構成するようにしても良い。

【 0 0 4 7 】

次に、本発明の第 2 の実施例を説明する。第 2 の実施例は、第 1 の実施例のように差分符号化した後グレイコードに変換するのではなく、差分符号化した後にあるバイナリコードで表現された固定値を加算（減算も可）するようにしたものである。表 2 の右側の列に差分符号化した後に固定値として「1 0 進数表示で 5（バイナリコードでは“1 0 1”）」を加算した場合のコード（以下、オフセットバイナリコードと称する）を示す。

【 0 0 4 8 】

表 2 より差分符号化後に固定値として「5」を加算した場合には、1 0 進数の「0」から「- 1」に変化するときにバイナリコードでは「1 0 1」から「1 0 0」に変化するので、この場合、切り替わるビットはたった 1 ビットであることが分かる。ただし、この方式の場合、1 0 進数の「2」から「3」に変化するときに「1 1 1」から「0 0 0」に変化するので、この場合、切り替わるビット数は 3 個となる。しかし、入力映像信号すなわち撮影対象によっては隣接する画素間の信号の変化の量が「- 1」～「+ 2」の範囲に入る場合（明度差の小さな映像）もある。このような場合、第 2 の実施例を適用したとしても出力の切り替わりの際に変化するビットの数を減らし、出力の変化に伴うノイズを低減することができる。

【 0 0 4 9 】

表 2 にはコードが 3 ビットの場合を示したが、ビット数がもっと多くなれば加算する固定値を適当に選択することで、出力データが切り替わる際に変化するビットの数を 1 以下に抑えることができるオフセットバイナリコードの範囲を広くすることができる。従って、差分符号化後にオフセットバイナリコードに変換するようにしても、第 1 の実施例ほどではないが、出力されるデジタル信号が切り換わる際に変化するビットの数をかなり少なくすることができ、それによって出力回路での貫通電流を減少させ、出力の変化に伴うノイズを低減することができるようになる。

【 0 0 5 0 】

図 7 には上記 A D 変換用 L S I から出力される画像データを受けてデータ処理を行なう D S P (デジタル・シグナル・プロセッサ) 3 0 の概略構成が示されている。この実施例の D S P 3 0 は、A D 変換用 L S I 2 0 から出力されるグレイコード変換された画像データを受けてこれを元のバイナリコードに逆変換しさらに差分復号を行なうグレイバイナリ差分復号回路 3 1 と、復号された画像データに対して例えば色補正や画像合成などの画像処理を行なう画像処理回路 3 2 と、復号された画像データを圧縮して外部のメモリ 5 0 に格納したりメモリ 5 0 から読み出された画像データを伸長したりする圧縮／伸長回路 3 3 などにより構成されている。メモリ 5 0 は、R A M などの揮発性半導体集メモリの他、スマートメディアやコンパクトフラッシュなどの不揮発性メモリが用いられる。

【 0 0 5 1 】

なお、画像処理回路 3 2 で画像処理される前の画像データを圧縮する代わりに、画像処理された後の画像データを圧縮／伸長回路 3 3 で圧縮して外部のメモリ 5 0 に格納するように構成することも可能である。この実施例においては、上記 D S P 3 0 で画像処理された画像データは外部の D A 変換回路 6 0 へ出力されてアナログ信号に変換され、これがフィルタ 7 0 を通してディスプレイ 8 0 に供給されて表示されるようにされる。図 7 の D S P 3 0 は機能ブロックで表わしたものであり、実際のハードウェアでは、例えば乗算器や加算器などの演算器とデータを保持するレジスタ、それら処理内容に応じて所定の順序で動作させる制御回路などから構成される。

【 0 0 5 2 】

図 8 には、上記 D S P 3 0 に設けられるグレイバイナリ差分復号回路 3 1 の構成が示されている。グレイバイナリ差分復号回路 3 1 は、例えばデータが 3 ビットの場合には表 2 の 3 列目に示されているようなグレイコードを 2 列目に示されているようなバイナリコードに変換するグレイバイナリ変換回路 3 1 1 と、図 2 に示されている遅延回路 4 1 における遅延に対応して所定のクロック周期だけコード信号を遅延させる遅延回路 3 1 2 と、グレイバイナリ変換回路 3 1 1 で変換されたコードに遅延回路 3 1 2 で遅延されたコードを加算することで差



分復号化したデータを生成する加算回路 3 1 3 とから構成されている。なお、加算回路 3 1 3 は加算のときに発生したキャリーを切り捨てるように構成されている。このように差分復号化の際にキャリーの切捨てを行なうように構成されていても、表 1 を用いて説明したように、元のコードを正確に復元することができる。

【 0 0 5 3 】

図 9 には、上記グレイバイナリ変換回路 3 1 1 の具体的な構成例が示されている。同図に示されているように、グレイバイナリ変換回路 3 1 1 は、変換するコードのビット数よりも 1 つ少ない数のイクスクルーシブ OR ゲート G 1 1 ~ G 1 7 で構成され、最上位を除く各入力ビット D_i' とその 1 つ上位ビット側の変換後ビット（イクスクルーシブ OR ゲートの出力） D_{i+1} との排他的論理和をとることでバイナリコードに変換される。最上位のビット D_7' はそのまま変換後の最上位ビット D_7 として出力される。図 9 は、図 3 に対応して 8 ビットのグレイコードをバイナリコードに変換する回路の例を示したものであり、同様の仕組みにより 1 0 ビットや 1 2 ビットなど任意のビット数のコード変換回路を構成することができる。

【 0 0 5 4 】

なお、図 8 および図 9 は送られてくるコードがグレイコードの場合の変換回路の例であり、送られてくるコードが表 2 の 4 列目に示されているようなオフセットバイナリコードである場合には、入力コードからある固定値を引き算（あるいは加算）する処理を行なう回路とされる。

【 0 0 5 5 】

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記実施例においては、差分符号化した後に行なうコード変換の例としてグレイコードに変換する場合とオフセットバイナリコードに変換する場合とを説明したが、コード変換はこれらに限定されるものでなく、差分を示すコードが切り替わる際に変化するビットの数が少ない方式であればどのようなコード変換を利用するものであってもよい。



【 0 0 5 6 】

また、前記実施例においては、CDS（相関二重サンプリング回路）を搭載したAD変換用LSIについて説明したが、CDSは省略しても良いし別チップで構成されていても良い。前記実施例においては、CCDを用いた撮像システムにおけるAD変換用LSIについて説明したが、CMOSイメージセンサなどCCD以外の撮像素子を用いた撮像システムにおけるAD変換用LSIについても同様に適用することができる。

【 0 0 5 7 】

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である撮像システムに適用した場合について説明したが、本発明はそれに限定されるものでなく、例えば音声信号を処理する録音システムなどアナログ信号をデジタルデータに変換して処理するシステムに広く利用することができる。

【 0 0 5 8 】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【 0 0 5 9 】

すなわち、信号の伝達速度を低下させることなく、撮像素子から出力されるアナログ映像信号をデジタル画像データに変換するAD変換用LSIの出力回路で発生するノイズを低減して、画質を向上させることができるという効果がある。

【図面の簡単な説明】

【図 1】

本発明を適用した撮像システムに用いられるAD変換用LSIの概略構成例を示すブロック図である。

【図 2】

符号化&コード変換回路の概略構成を示すブロック図である。

【図 3】

バイナリグレイ変換回路の概略構成を示すブロック図である。

【図 4】

電子カメラに用いられるフィルタの構成例を示す配置図である。

【図 5】

実施例の A D 変換回路における差分符号化とバイナリグレイ変換の具体例を示すコード変換説明図である。

【図 6】

従来の撮像システムにおける A D 変換後の画像データの切り替わりビット数の頻度と本発明を適用したシステムにおける A D 変換後の画像データの切り替わりビット数の頻度を示すグラフである。

【図 7】

A D 変換後の画像データを処理する D S P の構成例を示すブロック図ある。

【図 8】

D S P に設けられるグレイバイナリ差分復号回路の構成例を示すブロック図である。

【図 9】

グレイバイナリ変換回路の具体的な構成例を示すブロック図である。

【図 1 0】

一般的な撮像システムの概略構成を示すブロック図である。

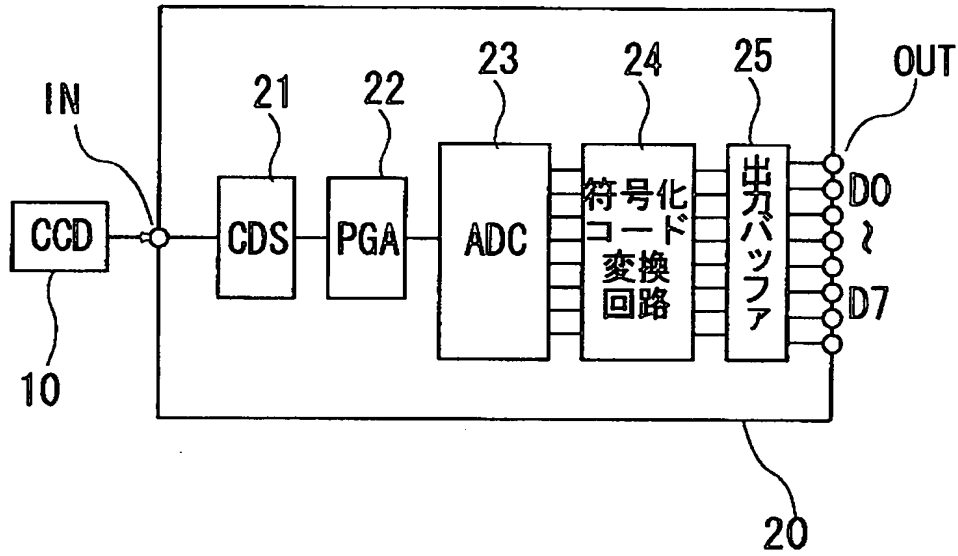
【符号の説明】

- 1 0 C C D
- 2 0 A D 変換用 L S I
- 2 1 相関二重サンプリング回路 (C D S)
- 2 2 プログラマブルゲインアンプ (P G A)
- 2 3 A D 変換回路 (A D C)
- 2 4 符号化 & コード変換回路
- 2 5 出力バッファ
- 3 0 D S P (デジタル・シグナル・プロセッサ)
- 3 1 グレイバイナリ差分復号回路

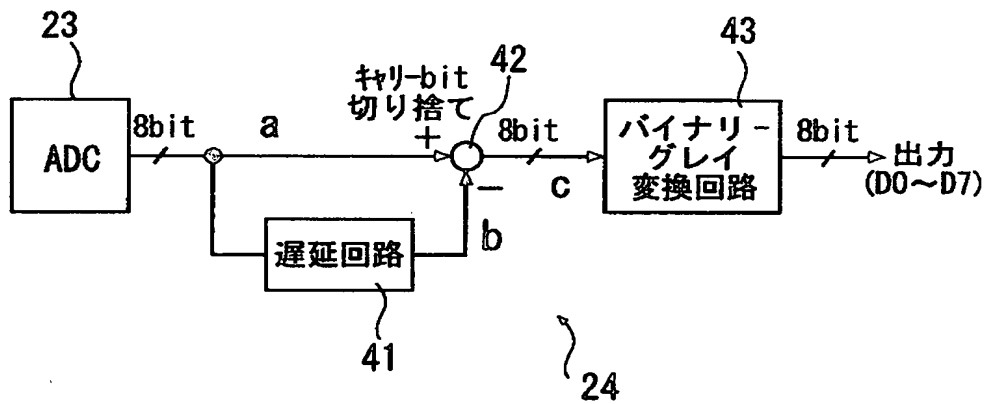
- 3 2 画像処理回路
- 3 3 圧縮／伸長回路
- 4 1 遅延回路
- 4 2 差分符号化回路
- 4 3 コード変換回路
- 5 0 メモリ
- 6 0 D A変換器
- 7 0 フィルタ
- 8 0 ディスプレイ
- 1 0 0 プリント配線基板

【書類名】 図面

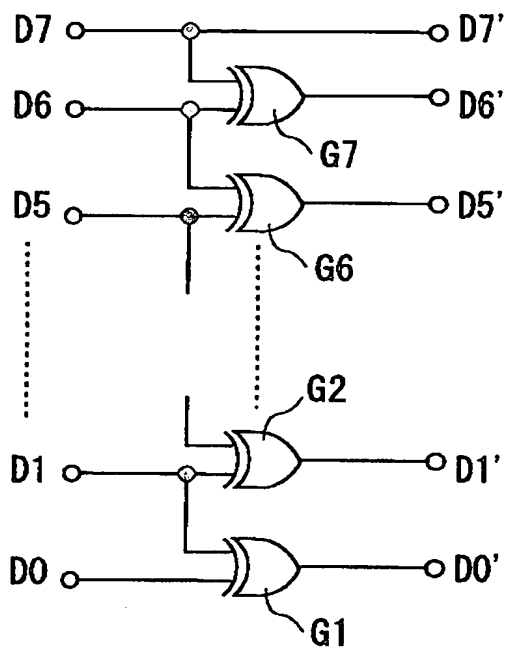
【図 1】



【図 2】



【図 3】



【図 4】

(A)

G	R	G	R	G	①
B	G	B	G	B	②
G	R	G	R	G	③
B	G	B	G	B	④

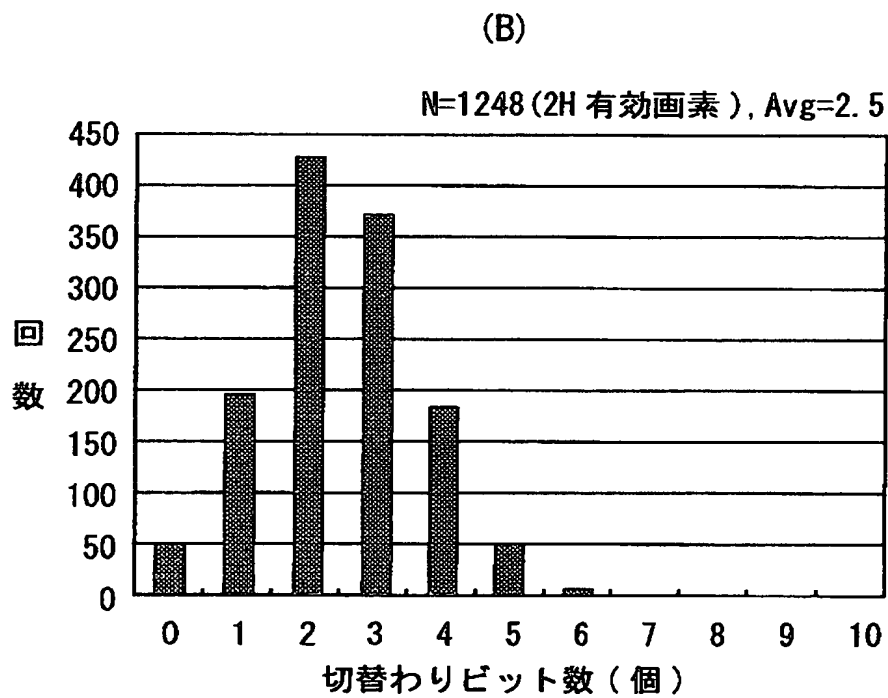
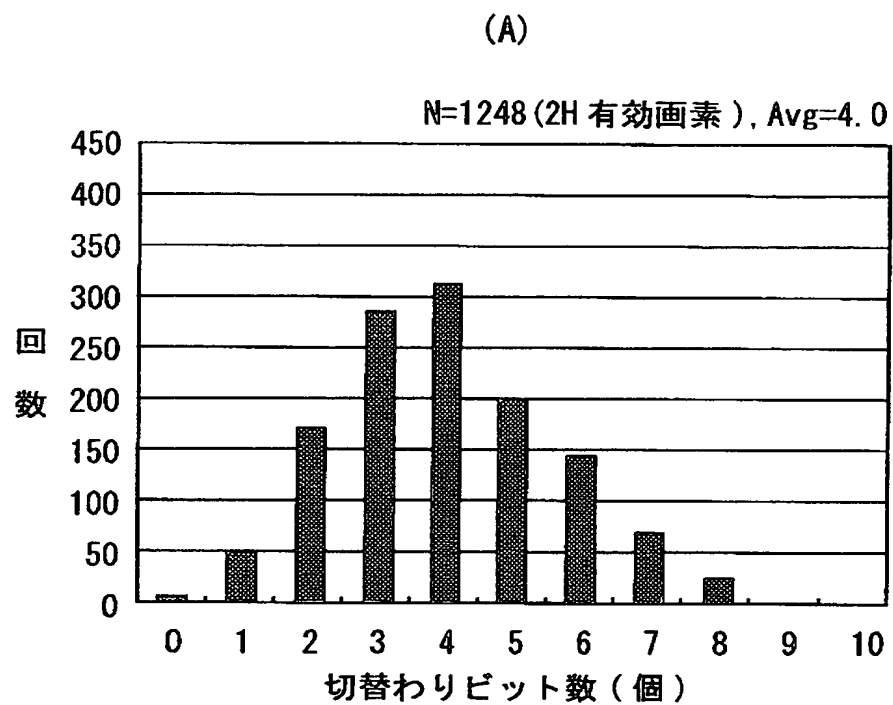
(B)

Cy	Ye	Cy	Ye	Cy
Mg	G	Mg	G	Mg
Cy	Ye	Cy	Ye	Cy
G	Mg	G	Mg	G

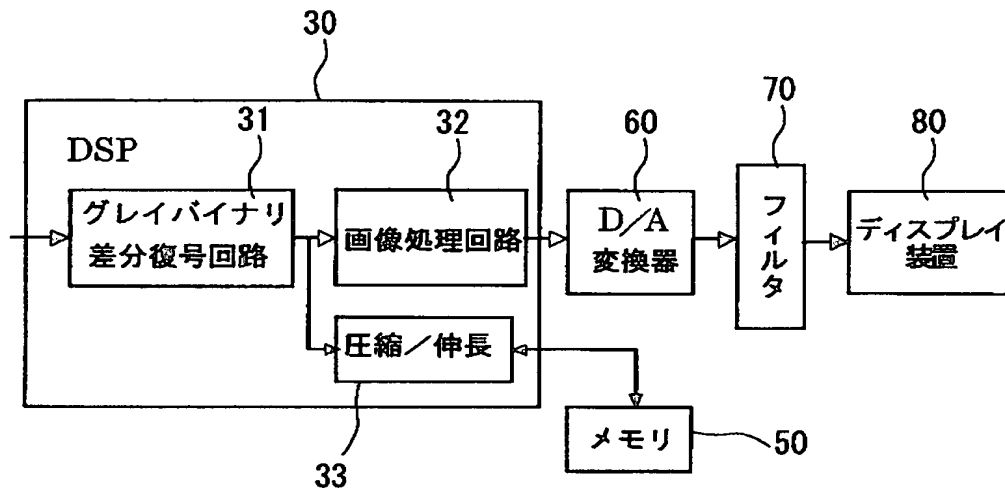
【図5】

		(A)	(B)	(C)	(D)	(E)	(F)	(G)	(H)
色種類		R → G → R → G → R → G → R → G → R → G	R → G → R → G → R → G → R → G → R → G	R → G → R → G → R → G → R → G → R → G	R → G → R → G → R → G → R → G → R → G	R → G → R → G → R → G → R → G → R → G	R → G → R → G → R → G → R → G → R → G	R → G → R → G → R → G → R → G → R → G	R → G → R → G → R → G → R → G → R → G
十進数	十進数	200	100	200	100	202	101	200	100
従来方式 の出力 コード	バイナリ コード	11001000	01100100	11001000	01100100	11001010	01100101	11001000	01100100
	切替わり ビット数	—	4	4	4	5	6	5	4
本方式 の出力 コード	差分 十進数	200 (初期データ)	100 (初期データ)	0 (差分)	0 (差分)	2 (差分)	1 (差分)	254(-2) (差分)	255(-1) (差分)
	バイナリ コード	11001000	01100100	00000000	00000000	00000010	00000001	11111110	11111111
	グレイ コード	01011000	10101100	00000000	00000000	00000011	00000001	10000001	10000000
	切替わり ビット数	—	4	4	0	2	1	1	1

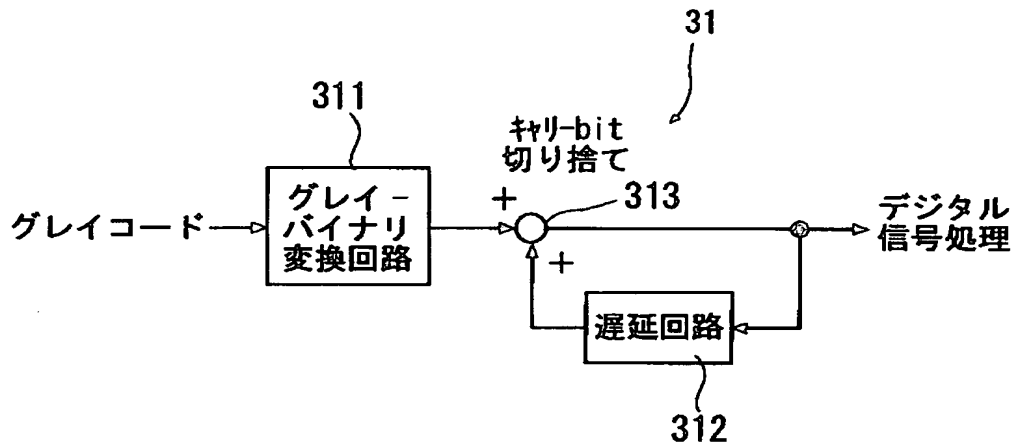
【図 6】



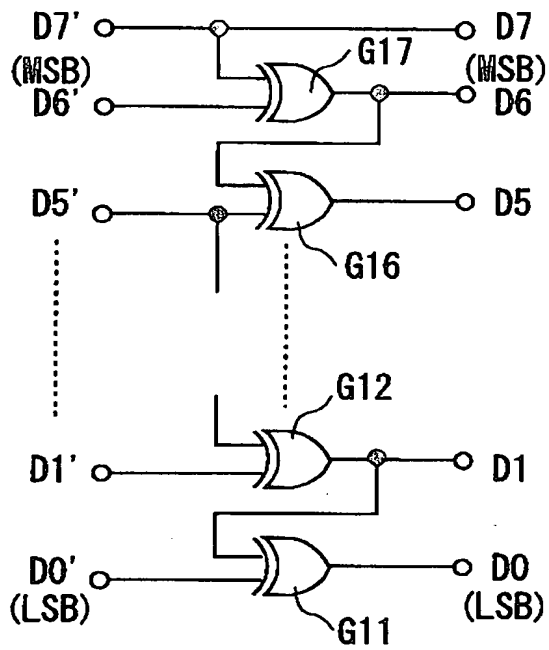
【図 7】



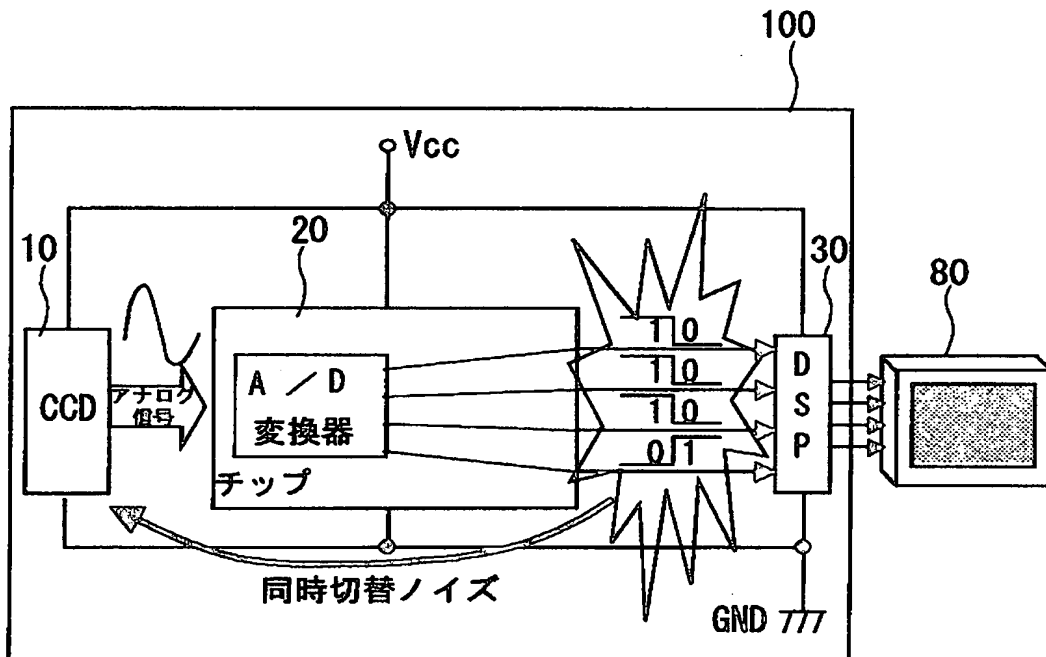
【図 8】



【図 9】



【図 1 0】



【書類名】 要約書

【要約】

【課題】 従来の撮像システムにおいては、A D 変換回路が画像データを出力する際に発生した電源ノイズが、プリント配線基板上の電源ライン（V c c ラインおよびグランドライン）を介してC C D 側に回り込んだり、A D 変換用L S I 内部で電源ラインや半導体基板を通して出力回路側から入力端子側へ回り込んで表示画面にノイズが現われるという課題があった。

【解決手段】 A D 変換されたディジタル画像データを出力する前に差分符号化し、それをグレイコードに変換もしくはある固定値を加算するような所定のコード変換を行ってから出力するようにした。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 1 - 0 9 8 7 5 0
受付番号	5 0 1 0 0 4 6 9 1 9 0
書類名	特許願
担当官	第七担当上席 0 0 9 6
作成日	平成 1 3 年 4 月 2 日

< 認定情報・付加情報 >

【提出日】	平成13年 3月30日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 1 0 8]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233527]

1. 変更年月日	1999年 8月27日
[変更理由]	住所変更
住 所	群馬県高崎市西横手町1番地1
氏 名	日立東部セミコンダクタ株式会社

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ